

Attorney's Docket No.: 5649-905

23-1-02
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Jeong et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: METHODS OF MANUFACTURING INTEGRATED CIRCUIT DEVICES
HAVING AN ENCAPSULATED INSULATION LAYER

J1046 U.S. PTO
10/008700
12/07/01

December 7, 2001

Box PATENT APPLICATION
U.S. Patent and Trademark Office
P.O. Box 2327
Arlington, VA 22202

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2000-74315, filed December 7, 2000.

Respectfully submitted,

Scott Moore
D. Scott Moore
Registration No. 42,011

Correspondence Address:



20792

PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EL920739784US

Date of Deposit: December 7, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:
BOX PATENT APPLICATION, U.S. Patent and Trademark Office, P.O. Box 2327, Arlington, VA 22202.

Audra Wooten
Audra Wooten; December 7, 2001

11046 U.S. PTO

10/008700



대한민국 특허청

KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 :
Application Number

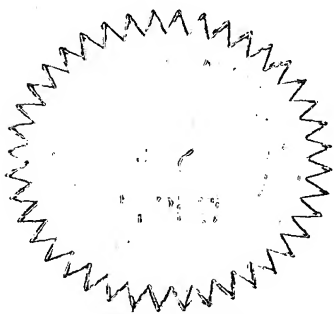
특허출원 2000년 제 74315 호

출원년월일 :
Date of Application

2000년 12월 07일

출원인 :
Applicant(s)

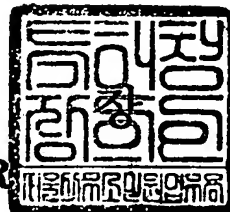
삼성전자 주식회사



2001 02 16
년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2000.12.07
【국제특허분류】	H01L
【발명의 명칭】	층간절연막 형성 방법 및 이를 이용한 반도체 소자의 제조 방법
【발명의 영문명칭】	Method of forming interlayer dielectric film and method of manufacturing semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	정홍식
【성명의 영문표기】	JEONG, Hong Sik
【주민등록번호】	620527-1041425
【우편번호】	441-450
【주소】	경기도 수원시 권선구 호매실동 L G-삼익 아파트 112동 204호
【국적】	KR

【발명자】

【성명의 국문표기】 신수호
【성명의 영문표기】 SHIN, Soo Ho
【주민등록번호】 691202-1226610
【우편번호】 132-030
【주소】 서울특별시 도봉구 쌍문동 73번지 경남아파트 1동 1010호
【국적】 KR

【발명자】

【성명의 국문표기】 양원석
【성명의 영문표기】 YANG, Won Suk
【주민등록번호】 640404-1932511
【우편번호】 449-840
【주소】 경기도 용인시 수지읍 동천리 176-1 풍림아파트 201동 50호
【국적】 KR

【발명자】

【성명의 국문표기】 김기남
【성명의 영문표기】 KIM, Ki Nam
【주민등록번호】 580414-1273118
【우편번호】 431-070
【주소】 경기도 안양시 동안구 평촌동 꿈마을 라이프아파트 108동 502호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인) 대리인
 이래호 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	7 면	7,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	21 항	781,000 원
【합계】	817,000 원	

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

SOG막을 층간절연막으로 이용하는 고집적 반도체 소자의 층간절연막 형성 방법 및 이를 이용한 반도체 소자의 제조 방법에 관하여 개시한다. 본 발명에서는 반도체 기판상에 상기 반도체 기판을 일부 노출시키는 제1 절연막을 형성한다. 상기 노출된 반도체 기판 및 제1 절연막 위에 평탄화된 제2 절연막을 형성한다. 상기 제2 절연막을 캡핑층으로 덮는다. 상기 캡핑층 및 제2 절연막을 패터닝하여, 상기 제1 절연막 및 반도체 기판을 일부 노출시키는 제2 절연막 패턴과 상기 제2 절연막 패턴을 덮는 캡핑층 패턴을 형성한다. 상기 제2 절연막 패턴의 측벽을 덮는 제3 절연막을 상기 노출된 제1 절연막 위에 형성하여, 상기 제2 절연막 패턴을 상기 제1 절연막, 제3 절연막, 캡핑층 패턴 및 반도체 기판으로 완전히 포위시킨다.

【대표도】

도 7a

【색인어】

SOG, 겹 필링, 콘택 패드, 아웃가싱

【명세서】**【발명의 명칭】**

층간절연막 형성 방법 및 이를 이용한 반도체 소자의 제조 방법{Method of forming interlayer dielectric film and method of manufacturing semiconductor device}

【도면의 간단한 설명】

도 1a 및 도 1b 내지 도 9a 및 도 9b는 본 발명의 바람직한 실시예에 따른 층간절연막 형성 방법 및 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

10: 반도체 기판, 12: 소자 분리 영역, 14: 콘택 영역, 20: 게이트 전극, 22: 제1 절연막, 30: 제2 절연막, 40: SOG막, 40a: SOG막 패턴, 40r: 제1 측벽, 40s: 제2 측벽, 42: 캡핑층, 42a: 캡핑층 패턴, 44: 절연 스페이서, 50: 세정액, 60: 도전층, 60a: 콘택 패드, H: 개구부.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 SOG막을 층간절연막으로 이용하는 고집적 반도체 소자의 층간절연막 형성 방법 및 이를 이용한 반도체 소자의 제조 방법에 관한 것이다.

<5> 최근, VLSI 소자의 개발에 따라 반도체 소자의 집적도가 증가하고 디자인 룰 (design rule)이 급격히 감소되는 추세에 있다. 그 결과, 동일층상에서 인접한 도전층들

사이의 거리가 감소되고, 각 도전층 사이의 갭(gap)에서 아스펙트 비(aspect ratio)가 증가하고 있다. 이에 따라 각 도전층들 사이에서 높은 아스펙트 비를 가지고 형성되는 갭을 절연 물질로 채우기 위한 기술이 다양하게 개발되고 있다. 우수한 갭 필링(gap filling) 특성을 가지는 절연막으로서, BPSG(boro-phospho-silicate glass)막, HDP(high density plasma) 산화막 등이 활용되고 있다. 그러나, BPSG막의 경우에는 800℃ 이상의 고온에서 행하여야 하는 리플로우 공정이 요구되기 때문에 트랜지스터의 숏채널(short channel) 효과가 심해지는 0.15 μm 이하의 디자인 룰을 갖는 제품에는 적용할 수 없는 문제가 있다. 또한, HDP 산화막의 경우에도 충분한 갭 필링 능력이 없기 때문에 0.1 μm 이하의 디자인 룰을 갖는 제품에는 적용하기 어려운 문제가 있다.

<6> 상기한 문제점을 해결하기 위한 다른 갭 필링 재료로서 SOG(spin-on-glass)막이 주로 사용되고 있다. SOG 재료는 액체 상태로 증착되므로 도전층 사이에서 형성되는 높은 아스펙트 비를 가지는 갭을 비교적 간단하고 효과적인 방법으로 매립할 수 있다. 또한, SOG막은 비교적 낮은 유전 상수를 가지고 있으므로 인접한 도전층 사이에서 용량성 커플링(capacitive coupling)을 감소시킬 수 있으며, 따라서 반도체 소자의 집적도를 더욱 증가시킬 수 있는 재료로서 각광받고 있다.

<7> SOG 재료는 액상 특성으로 인하여 갭 필링은 잘되지만, SOG막은 큐어링(curing) 과정을 통하여 치밀화 과정을 반드시 거쳐야 한다. 이 때, SOG막 주변에 다른 막질이 근접해 있으면 그 부분에서 큐어링이 충분히 되지 않는 문제가

있다. 이와 같이 충분히 큐어링되지 않는 SOG막은 후속 공정에서 습식 세정을 거칠 때 세정액으로부터의 흡습에 의하여 상기 SOG막의 프로파일이 변형될 염려가 있다. 또한, 상기 SOG막중 큐어링이 충분히 이루어지지 않은 부분은 비교적 빠른 식각 특성을 나타냄으로써 보다 쉽게 소모되어 SOG막의 프로파일이 불량해지고, 심한 경우에는 SOG막이 모두 제거되어 층간절연막의 역할을 할 수 없게 되는 문제가 있다. 그리고, 흡습된 SOG막은 후속 단계에서 열을 수반하는 공정이 진행될 때 상기 SOG막으로부터 수분이 제거되는 아웃가싱(outgassing) 현상이 발생할 수 있고, 이로 인하여 예를 들면 상부 배선층의 비아홀(via hole)에 형성된 금속 배선층이 산화되어 발생하는 비아 포이즈닝(via poisoning) 현상이 유발되는 등의 문제가 있다. 이와 같은 현상은 SOG막을 이용한 층간절연막 형성 공정에서의 근본적인 취약점으로 된다. 또한, SOG막의 큐어링이 양호하게 이루어진 경우에도 기존의 다른 산화막과 비교할 때 식각율이 매우 커서 디자인 룰이 작아질수록 더욱 큰 문제를 야기하게 된다.

<8> 따라서, SOG막을 사용하여 층간절연막을 형성할 때 상기와 같은 문제점들에 대처할 수 있는 기술을 개발하는 것이 시급하다.

【발명이 이루고자 하는 기술적 과제】

- <9> 본 발명은 상기한 문제점들을 해결하고자 하는 것으로, 본 발명의 목적은 SOG막을 이용하여 층간절연막을 형성할 때 SOG막의 프로파일이 변형되거나 습식 세정시 SOG막으로의 흡습 현상을 방지할 수 있는 층간절연막 형성 방법을 제공하는 것이다.
- <10> 본 발명의 다른 목적은 상기 방법으로 형성된 층간절연막을 이용하여 신뢰성있는 반도체 소자를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <11> 상기 목적을 달성하기 위하여, 본 발명에 따른 반도체 소자의 층간절연막 형성 방법에서는 반도체 기판상에 상기 반도체 기판을 일부 노출시키는 제1 절연막을 형성한다. 상기 노출된 반도체 기판 및 제1 절연막 위에 평탄화된 제2 절연막을 형성한다. 상기 제2 절연막을 캡핑층으로 덮는다. 상기 캡핑층 및 제2 절연막을 패터닝하여, 상기 제1 절연막 및 반도체 기판을 일부 노출시키는 제2 절연막 패턴과 상기 제2 절연막 패턴을 덮는 캡핑층 패턴을 형성한다. 상기 제2 절연막 패턴의 측벽을 덮는 제3 절연막을 상기 노출된 제1 절연막 위에 형성하여, 상기 제2 절연막 패턴을 상기 제1 절연막, 제3 절연막, 캡핑층 패턴 및 반도체 기판으로 완전히 포위시킨다. 상기 제2 절연막은 SOG(spin-on-glass)막으로 이루어질 수 있다.
- <12> 본 발명에 따른 반도체 소자의 층간절연막 형성 방법에서는 상기 제1 절연막을 형성한 후, 상기 제1 절연막을 통하여 노출되는 반도체 기판상에 제4 절연막을 형성하는 단계를 더 포함할 수 있다. 이 때, 상기 제2 절연막은 상기 제4 절연막 위에 형성된다.
- <13> 상기 다른 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 소자의 제조 방법에서는 콘택 영역을 포함하는 반도체 기판상에 복수의 제1 도전 패턴을 형성한다. 상기 제1 도전 패턴을 제1 절연막으로 덮는다. 상기 콘택 영역 및 제1 절연막의 상부에 평탄화된 제2 절연막을 형성한다. 상기 제2 절연막 위에 캡핑층을 형성한다. 상기 콘택 영역 및 제1 절연막의 상면을 노출시키는 개구부가 형성되도록 상기 캡핑층 및 제2 절연막을 패터닝하여, 상기 제1 절연막의 상면으로부터 수직으로 연장되는 제1 측벽 및 상기 반도체 기판의 표면으로부터 수직으로 연장되는 제2 측벽을 가지는 제2 절연막 패턴과, 상기 제2 절연막 패턴을 덮는 캡핑층 패턴을 형성한다. 상기 제2 절연막

패턴의 제1 및 제2 측벽을 덮는 제3 절연막을 상기 제1 절연막 및 반도체 기판 위에 형성하여, 상기 제2 절연막 패턴을 상기 제1 절연막, 제3 절연막, 캡핑층 패턴 및 반도체 기판으로 포위시킨다. 상기 제2 절연막은 SOG막으로 이루어질 수 있다.

<14> 본 발명의 제1 양태에 따른 반도체 소자의 제조 방법은 상기 제2 절연막을 형성하기 전에, 상기 콘택 영역 위에 제4 절연막을 형성하는 단계를 더 포함할 수 있다. 이 경우, 상기 제3 절연막 형성 단계는 상기 제4 절연막을 식각 저지층으로 이용하는 단계를 포함한다.

<15> 또한, 본 발명의 제1 양태에 따른 반도체 소자의 제조 방법은 상기 제3 절연막을 형성한 후, 습식 세정에 의하여 상기 반도체 기판의 콘택 영역상의 자연 산화막을 제거하고, 상기 콘택 영역 위에 제2 도전 패턴을 형성하는 단계를 더 포함할 수 있다.

<16> 또한, 상기 다른 목적을 달성하기 위하여 본 발명의 제2 양태에 따른 반도체 소자의 제조 방법에서는 반도체 기판 표면의 콘택 영역이 노출되도록 상기 반도체 기판상에 제1 절연막으로 덮인 게이트 전극을 형성한다. SOG막과 상기 SOG막을 완전히 포위하는 보호막으로 이루어지고 상기 콘택 영역을 노출시키는 개구부가 형성되어 있는 층간절연막 패턴을 상기 반도체 기판 및 상기 제1 절연막 위에 형성한다. 습식 세정에 의하여 상기 노출된 콘택 영역상의 자연 산화막을 제거한다. 상기 게이트 전극에 의하여 자기정렬되고 상기 콘택 영역에 접하는 콘택 패드를 상기 개구부에 형성한다.

<17> 상기 보호막은 상기 SOG막의 상면을 덮는 캡핑층과, 상기 SOG막의 측벽을 덮는 절연 스페이서를 포함한다. 상기 층간절연막 패턴은 상기 반도체 기판과 상기 SOG막 사이에 형성된 절연막을 더 포함할 수 있다.

<18> 또한, 상기 콘택 패드를 형성하는 단계에서는 상기 습식 세정 후에 상기 개구부 내에 도전층을 채운다. 또한, 상기 SOG막 및 제1 절연막이 노출되도록 상기 층간절연막 패턴의 일부 및 상기 도전층의 일부를 CMP(chemical mechanical polishing) 방법에 의하여 제거하여 상기 도전층의 나머지 일부로 이루어지는 상기 콘택 패드를 형성한다.

<19> 또한, 상기 다른 목적을 달성하기 위하여 본 발명의 제3 양태에 따른 반도체 소자의 제조 방법에서는 반도체 기판상에 SOG막을 형성한다. 상기 SOG막 위에 캡핑층을 형성한다. 상기 캡핑층 및 SOG막을 패터닝하여 상기 반도체 기판의 표면을 일부 노출시키는 SOG막 패턴 및 캡핑층 패턴을 형성한다. 상기 SOG막 패턴의 측벽을 덮는 절연층을 형성한다. 상기 노출된 반도체 기판의 표면을 습식 세정하여 자연 산화막을 제거한다. 상기 노출된 반도체 기판의 표면 위에 도전층을 형성한다.

<20> 본 발명에 의하면, SOG막과 이를 완전히 포위하는 보호막으로 이루어지는 층간절연막이 형성된 후 상기 콘택 패드 형성 전에 행하는 습식 세정 단계에서 상기 SOG막에 미칠 수 있는 흡습, 프로파일 변형 등과 같은 약영향을 방지할 수 있다. 또한, 상기 콘택 패드는 상기 SOG막으로부터의 아웃가싱 현상에 의한 영향을 받는 것이 방지되어 상기 콘택 패드에서는 산화에 의한 비아 포이즈닝과 같은 결함이 발생될 염려가 없다.

<21> 다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

<22> 다음에 예시하는 실시예들은 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여

여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 '위'에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

<23> 도 1a 및 도 1b 내지 도 9a 및 도 9b는 본 발명의 바람직한 실시예에 따른 층간절연막 형성 방법 및 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 각 도면에 있어서, 도 1a, 도 2a, 도 3a, ..., 도 9a는 DRAM 소자를 제조하기 위하여 사용되는 반도체 기판의 활성 영역 연장 방향과 평행한 방향에서 본 단면도들이고, 도 1b, 도 2b, 도 3b, ..., 도 9b는 상기 활성 영역의 연장 방향과 직교하는 방향에서 본 단면도들이다.

<24> 도 1a 및 도 1b를 참조하면, 소자 분리 영역(12)에 의하여 활성 영역이 한정된 반도체 기판(10)상에 제1 절연막(22) 예를 들면 실리콘 질화막으로 덮인 복수의 도전 패턴을 형성한다. 본 실시예에서는 상기 도전 패턴으로서 복수의 게이트 전극(20)을 형성한 경우를 설명한다. 상기 각 게이트 전극(20) 사이로 상기 반도체 기판(10)의 활성 영역에 위치하는 콘택 영역(14)이 노출된다.

<25> 도 2a 및 도 2b를 참조하면, 상기 게이트 전극(20)을 덮는 제1 절연막(22) 사이로 노출되는 상기 반도체 기판(10)의 표면에 제2 절연막(30)을 약 10 ~ 300 Å의 두께로 형성한다. 상기 제2 절연막(30)은 후속 공정에서 식각 저지층으로서의 기능을 하게 된다. 상기 제2 절연막(30)은 실리콘 질화막, 실리콘 산화막 또는 Al_2O_3 막으로 이루어질 수 있으며, 특히 실리콘 질화막이 바람직하다. 상기 제2 절연막(30) 형성 단계는 경우에 따라 생략될 수도 있다.

<26> 도 3a 및 도 3b를 참조하면, 상기 제1 절연막(22) 및 제2 절연막(30) 위에 SOG를

증착하여 상기 게이트 전극(20) 사이를 갭 필링(gap filling)한 후 큐어링 단계를 거쳐서 평탄화된 SOG막(40)을 형성한다.

<27> 도 4a 및 도 4b를 참조하면, 상기 SOG막(40) 위에 캡핑층(42)을 형성한다. 상기 캡핑층(42)은 상기 SOG막(40)을 보호하기 위하여 형성되는 막으로서, 후속 공정에서 제거될 막이므로 절연막으로 형성될 수도 있고 도전막으로 형성되어도 무방하다. 상기 캡핑층(42)은 실리콘 산화막, 실리콘 질화막, 도핑되지 않은 폴리실리콘막, 도핑된 폴리실리콘막, 또는 Al_2O_3 막으로 이루어질 수 있다.

<28> 도 5a 및 도 5b를 참조하면, 포토레지스트 패턴(도시 생략)을 이용한 사진 식각 공정에 의하여 상기 캡핑층(42) 및 SOG막(40)을 패터닝하여 상기 제1 절연막(22) 및 제2 절연막(30)을 노출시키는 SOG막 패턴(40a) 및 상기 SOG막 패턴(40a)을 덮는 캡핑층 패턴(42a)을 형성한다. 잘 알 수 있는 바와 같이, 상기 제2 절연막(30) 형성 단계를 생략한 경우에는 상기 캡핑층 패턴(42a) 및 SOG막 패턴(40a)을 통하여 형성된 개구부(H)에 의하여 상기 반도체 기판(10)의 콘택 영역(14) 및 상기 제1 절연막(22)의 상면이 노출된다. 상기 SOG막 패턴(40a)은 상기 제1 절연막(22)의 상면으로부터 수직으로 연장되는 제1 측벽(40r)과, 상기 반도체 기판(10)의 표면으로부터 수직으로 연장되는 제2 측벽(40s)을 가진다.

<29> 그 후, 통상의 애싱(ashing) 및 스트립(strip) 공정을 이용하여 상기 포토레지스트 패턴을 제거한다. 일반적으로, 상기 스트립 공정시 황산을 이용하며, 이와 같은 경우에도 상기 SOG막 패턴(40a)의 프로파일에 변화를 주지는 않는다.

<30> 도 6a 및 도 6b를 참조하면, 상기 SOG막 패턴(40a)의 제1 측벽(40r) 및 제2 측벽

(40s)을 덮는 절연 스페이서(44)를 상기 제1 절연막(22) 및 제2 절연막(30) 위에 각각 형성한다. 상기 절연 스페이서(44)의 폭은 약 50 ~ 500 Å의 범위 내에서 자유롭게 선택될 수 있다. 바람직하게는, 상기 절연 스페이서(44)는 약 50 ~ 200Å의 폭을 가진다.

<31> 상기 절연 스페이서(44)를 형성하기 위하여, 먼저 상기 SOG막 패턴(40a) 및 캡핑층 패턴(42a)이 형성된 결과물 전면에 제3 절연막을 형성한다. 상기 제3 절연막은 실리콘 산화막, 실리콘 질화막, 도핑되지 않은 폴리실리콘막 또는 Al_2O_3 막으로 형성될 수 있다. 그 후, 상기 제3 절연막을 에치백하여, 상기 SOG막 패턴(40a)의 제1 및 제2 측벽(40r, 40s)과, 상기 캡핑층 패턴(42a)의 측벽을 덮는 상기 절연 스페이서(44)가 상기 제1 절연막(22) 및 제2 절연막(30) 위에 남도록 한다. 상기 제1 절연막(22)을 실리콘 질화막으로 형성한 경우, 상기 제3 절연막을 실리콘 산화막으로 형성하면, 상기 제3 절연막의 에치백 공정시 실리콘 질화막과의 식각 선택비가 높은 조건으로 상기 제3 절연막을 식각함으로써 상기 제1 절연막의 소모량을 최소화할 수 있다.

<32> 그 결과, 상기 SOG막 패턴(40a)은 그 상면을 덮는 상기 캡핑층 패턴(42a), 상기 제1 및 제2 측벽(40r, 40s)을 덮는 상기 절연 스페이서(44), 상기 제1 절연막(22), 및 상기 제2 절연막(30)으로 이루어지는 보호막에 의하여 완전히 포워된다. 상기 SOG막 패턴(40a)과 이 SOG막 패턴(40a)을 완전히 포워하는 보호막, 즉 상기 캡핑층 패턴(42a), 절연 스페이서(44), 제1 절연막(22) 및 제2 절연막(30)에 의하여 층간절연막 패턴이 구성된다. 잘 알 수 있는 바와 같이, 상기 제2 절연막(30) 형성 단계를 생략한 경우에는 상기 SOG막 패턴(40a)의 저면은 상기 제2 절연막(30) 대신 상기 반도체 기판(10)에 의하여 포워된다.

<33> 이 때, 상기 제2 절연막(30)은 상기 제3 절연막의 에치백 공정시 식각 저지층의 역할을 하게 된다. 따라서, 상기 에치백 공정이 완료된 후에는 상기 절연 스페이서(44)가 형성되고, 이와 동시에 상기 제2 절연막(30)중 상기 개구부(H)에 의하여 노출되는 부분은 완전히 제거되고 상기 반도체 기판(10)의 콘택 영역(14)이 노출된다. 이 때, 상기 개구부(H)에 의하여 노출되는 상기 제1 절연막(22)의 상면이 일부 소모될 수 있다. 따라서, 이 때의 소모량을 감안하여 상기 제2 절연막(22) 형성 단계에서 상기 제2 절연막(22)의 두께를 적절히 조절할 수 있다.

<34> 도 7a 및 도 7b를 참조하면, 상기 콘택 영역(14)이 노출된 결과물에서 세정액(50)을 이용한 습식 세정 방법 또는 건식 세정 방법에 의하여 상기 콘택 영역(14)상의 자연 산화막을 제거한다. 자연 산화막을 습식 세정 방법으로 제거하는 경우에는, 상기 세정액(50)으로서 예를 들면 HF 세정액 또는 NH_4OH , H_2O_2 및 H_2O 의 혼합액으로 이루어지는 SC-1과 같은 세정액을 사용할 수 있다. 이 때, 상기 SOG막 패턴(40a)은 상기 캡핑층 패턴(42a), 절연 스페이서(44), 제1 절연막(22) 및 제2 절연막(30)으로 이루어지는 보호막에 의하여 완전히 포위되어 있으므로, 상기 SOG막 패턴(40a)이 완전히 큐어링되어 있지 않은 경우에도 상기 세정액(50)으로부터의 흡습이 방지되고, 그 결과 상기 SOG막 패턴(40a) 및 이를 포함하는 중간절연막 패턴의 프로파일이 변형될 염려가 없다.

<35> 도 8a 및 도 8b를 참조하면, 상기 콘택 영역(14)에서 자연 산화막이 제거된 결과물 상에 도전 물질, 예를 들면 도핑된 폴리실리콘을 증착하여 상기 개구부(H)를 도전층(60)으로 채운다. 이 때, 상기 SOG막 패턴(40a)은 상기 캡핑층 패턴(42a), 절연 스페이서(44), 제1 절연막(22) 및 제2 절연막(30)으로 이루어지는 보호막에 의하여 완전히 포위되어 있으므로, 상기 SOG막 패턴(40a)으로부터의 아웃가싱 현상에 의하여 상기 도전층

(60)에 악역향을 미칠 염려가 없다.

<36> 도 9a 및 도 9b를 참조하면, 상기 도전층(60)이 형성된 결과물에 대하여 상기 제1 절연막(22)이 노출될 때까지 CMP(chemical mechanical polishing) 방법에 의하여 상기 도전층(60)을 일부 제거하여, 상기 게이트 전극(20)에 의하여 자기정렬되고 상기 콘택 영역(14)에 접하는 콘택 패드(60a)를 형성한다. 그 결과, 상기 캡핑층 패턴(42a) 전부와, 상기 SOG막 패턴(40a) 및 절연 스페이서(44)의 일부가 제거되고, CMP 결과 얻어진 연마면에서는 상기 SOG막 패턴(40a)이 노출된다.

<37> 상기 보호막으로 완전히 포워된 상기 SOG막 패턴(40a)을 포함하는 중간절연막 패턴이 형성된 결과물상에 상기 도전층(60)을 형성하는 방법으로 얻어진 상기 콘택 패드(60)는 상기 SOG막 패턴(40a)으로부터의 아웃가싱 현상에 따른 영향을 받지 않으므로 비아 포이즈낭과 같은 결함을 포함하지 않게 된다.

【발명의 효과】

<38> 본 발명에 따른 중간절연막 형성 방법에서는 SOG막과 상기 SOG막을 완전히 포워하는 보호막으로 이루어지는 중간절연막을 형성하기 위하여, 반도체 기판상에 SOG막을 형성한 후, 상기 SOG막 위에 캡핑층을 형성한다. 상기 캡핑층 및 SOG막을 패터닝한 후 상기 SOG막의 측벽을 절연 스페이서로 덮는다. 고집적 반도체 소자 제조를 위하여, SOG막과 이를 완전히 포워하는 보호막으로 이루어지는 중간절연막을 사용하여 하부 도전 패턴에 대하여 자기정렬되는 콘택 패드를 형성한다. 이 때, 상기 중간절연막이 형성된 후 상기 콘택 패드 형성 전에 행하는 습식 세정 단계에서 상기 SOG막에 미칠 수 있는 흡습, 프로파일 변형 등과 같은 악영향을 방지할 수 있다. 또한, 상기 콘택 패드는 상기 SOG막으로부터의 아웃가싱 현상에 의한 영향을 받는 것이 방지되어 상기 콘택 패드에서는 산

화에 의한 비아 포이즈닝과 같은 결함이 발생할 염려가 없다.

<39> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

반도체 기판상에 상기 반도체 기판을 일부 노출시키는 제1 절연막을 형성하는 단계와,

상기 노출된 반도체 기판 및 제1 절연막 위에 평탄화된 제2 절연막을 형성하는 단계와,

상기 제2 절연막을 캡핑층으로 덮는 단계와,

상기 캡핑층 및 제2 절연막을 패터닝하여, 상기 제1 절연막 및 반도체 기판을 일부 노출시키는 제2 절연막 패턴과 상기 제2 절연막 패턴을 덮는 캡핑층 패턴을 형성하는 단계와,

상기 제2 절연막 패턴의 측벽을 덮는 제3 절연막을 상기 노출된 제1 절연막 위에 형성하여, 상기 제2 절연막 패턴을 상기 제1 절연막, 제3 절연막, 캡핑층 패턴 및 반도체 기판으로 완전히 포위시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 층간절연막 형성 방법.

【청구항 2】

제1항에 있어서, 상기 제2 절연막은 SOG(spin-on-glass)막인 것을 특징으로 하는 반도체 소자의 층간절연막 형성 방법.

【청구항 3】

제1항에 있어서, 상기 캡핑층은 실리콘 산화막, 실리콘 질화막, 폴리실리콘막 또는

Al₂O₃막으로 이루어지는 절연막인 것을 특징으로 하는 반도체 소자의 층간절연막 형성 방법.

【청구항 4】

제1항에 있어서, 상기 제1 절연막은 실리콘 질화막인 것을 특징으로 하는 반도체 소자의 층간절연막 형성 방법.

【청구항 5】

제1항에 있어서, 상기 제3 절연막은 실리콘 산화막, 실리콘 질화막, 폴리실리콘막 또는 Al₂O₃막으로 이루어지는 절연막인 것을 특징으로 하는 반도체 소자의 층간절연막 형성 방법.

【청구항 6】

제1항에 있어서,

상기 제1 절연막을 형성한 후, 상기 제1 절연막을 통하여 노출되는 반도체 기판상에 제4 절연막을 형성하는 단계를 더 포함하고,

상기 제2 절연막은 상기 제4 절연막 위에 형성되는 것을 특징으로 하는 반도체 소자의 층간절연막 형성 방법.

【청구항 7】

제6항에 있어서, 상기 제4 절연막은 실리콘 질화막, 실리콘 산화막 또는 Al₂O₃막으로 이루어지는 것을 특징으로 하는 반도체 소자의 층간절연막 형성 방법.

【청구항 8】

콘택 영역을 포함하는 반도체 기판상에 복수의 제1 도전 패턴을 형성하는 단계와,

상기 제1 도전 패턴을 제1 절연막으로 덮는 단계와,

상기 콘택 영역 및 제1 절연막의 상부에 평탄화된 제2 절연막을 형성하는 단계와,

상기 제2 절연막 위에 캡핑층을 형성하는 단계와,

상기 콘택 영역 및 제1 절연막의 상면을 노출시키는 개구부가 형성되도록 상기 캡핑층 및 제2 절연막을 패터닝하여, 상기 제1 절연막의 상면으로부터 수직으로 연장되는 제1 측벽 및 상기 반도체 기판의 표면으로부터 수직으로 연장되는 제2 측벽을 가지는 제2 절연막 패턴과, 상기 제2 절연막 패턴을 덮는 캡핑층 패턴을 형성하는 단계와,

상기 제2 절연막 패턴의 제1 및 제2 측벽을 덮는 제3 절연막을 상기 제1 절연막 및 반도체 기판 위에 형성하여, 상기 제2 절연막 패턴을 상기 제1 절연막, 제3 절연막, 캡핑층 패턴 및 반도체 기판으로 포위시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제8항에 있어서, 상기 제2 절연막은 SOG막인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

제8항에 있어서, 상기 캡핑층은 실리콘 산화막, 실리콘 질화막, 폴리실리콘막, 도핑된 폴리실리콘막 또는 Al_2O_3 막으로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 11】

제8항에 있어서, 상기 제1 절연막은 실리콘 질화막인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 12】

제8항에 있어서, 상기 제3 절연막은 실리콘 산화막, 실리콘 질화막, 폴리실리콘막 또는 Al_2O_3 막으로 이루어지는 절연막인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 13】

제8항에 있어서,

상기 제2 절연막을 형성하기 전에, 상기 콘택 영역 위에 제4 절연막을 형성하는 단계를 더 포함하고,

상기 제3 절연막 형성 단계는 상기 제4 절연막을 식각 저지층으로 이용하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 14】

제13항에 있어서, 상기 제4 절연막은 실리콘 질화막, 실리콘 산화막 또는 Al_2O_3 막으로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 15】

제8항에 있어서, 상기 제3 절연막을 형성한 후,

상기 반도체 기판의 콘택 영역상의 자연 산화막을 제거하는 단계와,

상기 콘택 영역 위에 제2 도전 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 16】

반도체 기판 표면의 콘택 영역이 노출되도록 상기 반도체 기판상에 제1 절연막으로 덮인 게이트 전극을 형성하는 단계와,

SOG 막과 상기 SOG막을 완전히 포위하는 보호막으로 이루어지고 상기 콘택 영역을 노출시키는 개구부가 형성되어 있는 층간절연막 패턴을 상기 반도체 기판 및 상기 제1 절연막 위에 형성하는 단계와,

상기 노출된 콘택 영역상의 자연 산화막을 제거하는 단계와,

상기 게이트 전극에 의하여 자기정렬되고 상기 콘택 영역에 접하는 콘택 패드를 상기 개구부에 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 17】

제16항에 있어서, 상기 보호막은 상기 SOG막의 상면을 덮는 캡핑층과, 상기 SOG막의 측벽을 덮는 절연 스페이서를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 18】

제17항에 있어서, 상기 층간절연막 패턴은 상기 반도체 기판과 상기 SOG막 사이에 형성된 절연막을 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 19】

제16항에 있어서, 상기 콘택 패드를 형성하는 단계는

상기 습식 세정 후에 상기 개구부 내에 도전층을 채우는 단계와,

상기 SOG막 및 제1 절연막이 노출되도록 상기 층간절연막 패턴의 일부 및 상기 도

전층의 일부를 CMP(chemical mechanical polishing) 방법에 의하여 제거하여 상기 도전층의 나머지 일부로 이루어지는 상기 콘택 패드를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 20】

제19항에 있어서, 상기 도전층은 도핑된 폴리실리콘으로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 21】

반도체 기판상에 SOG막을 형성하는 단계와,

상기 SOG막 위에 캡핑층을 형성하는 단계와,

상기 캡핑층 및 SOG막을 패터닝하여 상기 반도체 기판의 표면을 일부 노출시키는 SOG막 패턴 및 캡핑층 패턴을 형성하는 단계와,

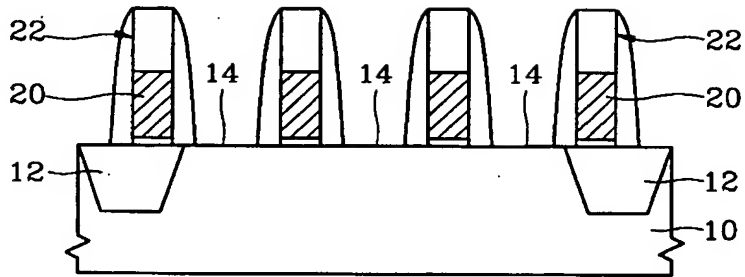
상기 SOG막 패턴의 측벽을 덮는 절연층을 형성하는 단계와,

상기 노출된 반도체 기판의 표면을 습식 세정하여 자연 산화막을 제거하는 단계와,

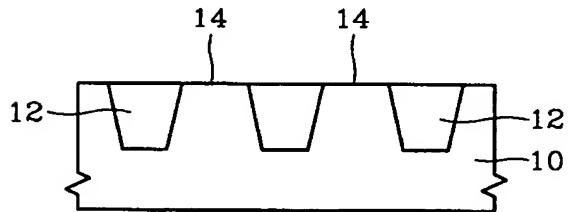
상기 노출된 반도체 기판의 표면 위에 도전층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

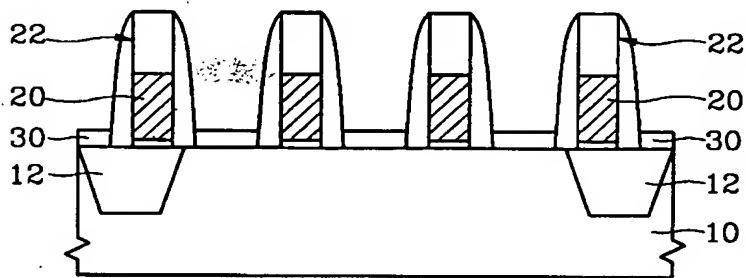
【도 1a】



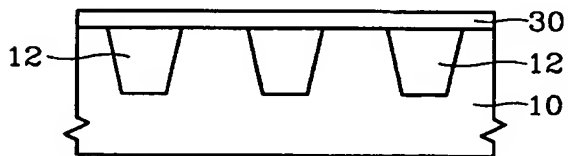
【도 1b】



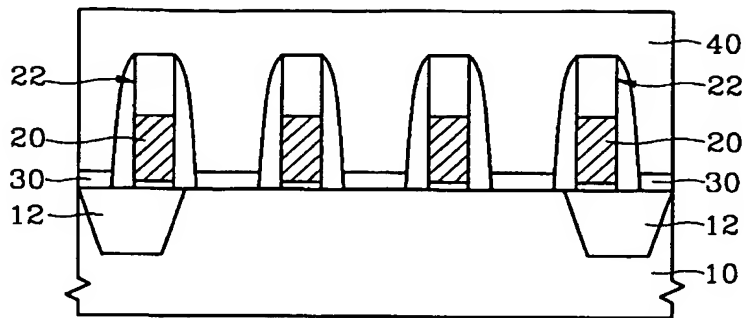
【도 2a】



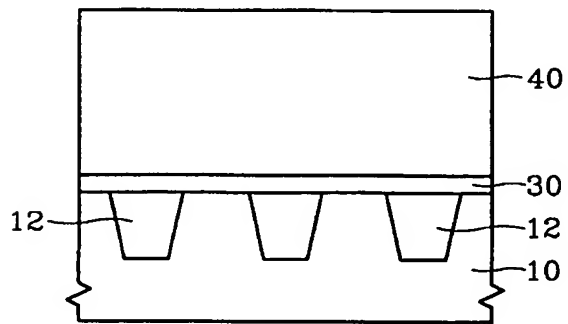
【도 2b】



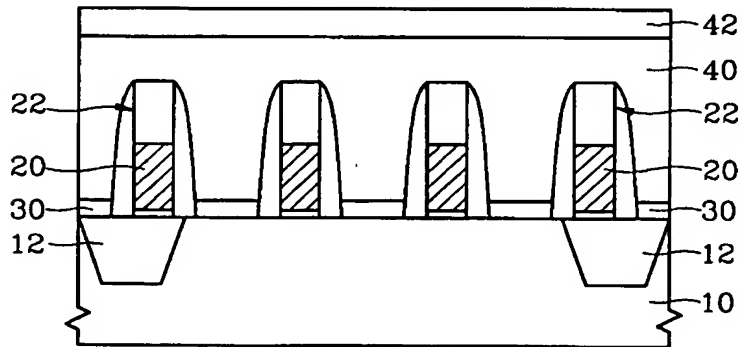
【도 3a】



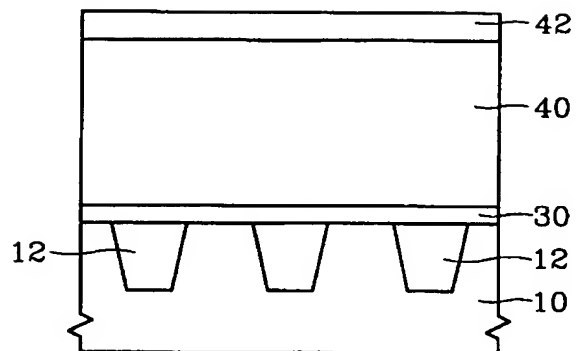
【도 3b】



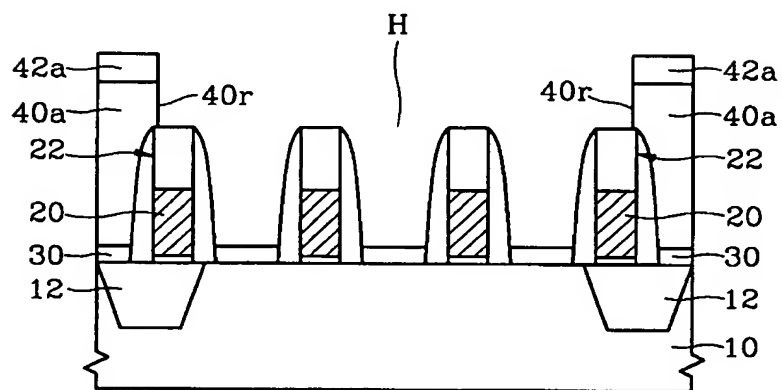
【도 4a】



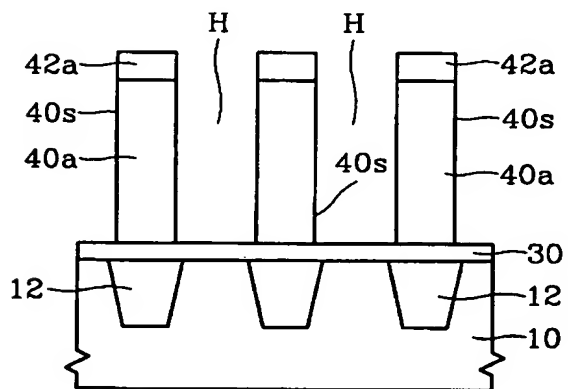
【도 4b】



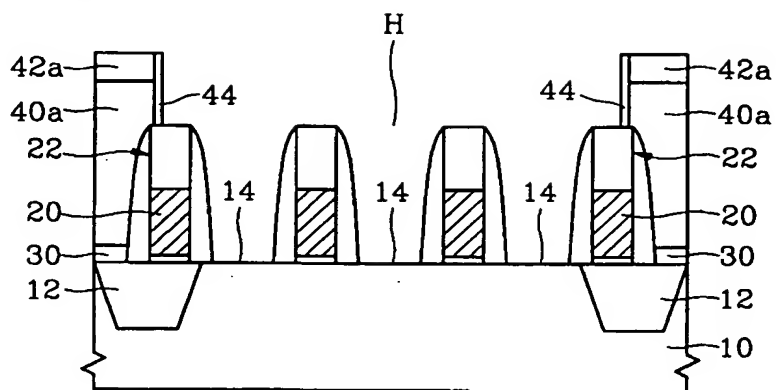
【도 5a】



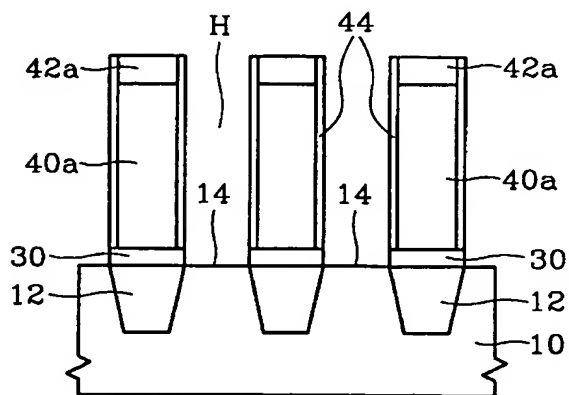
【도 5b】



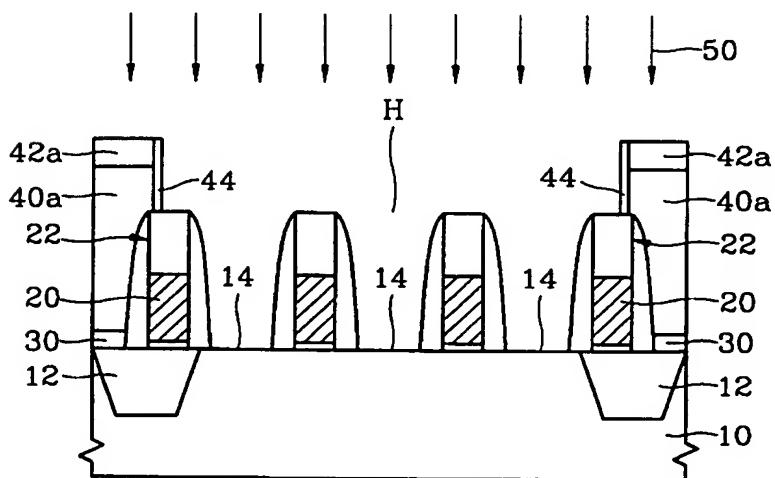
【도 6a】



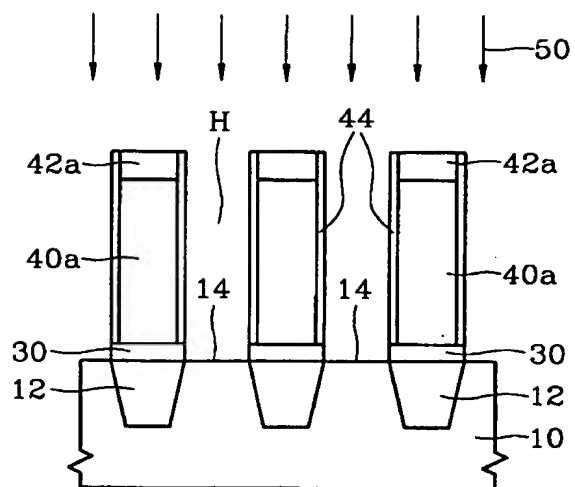
【도 6b】



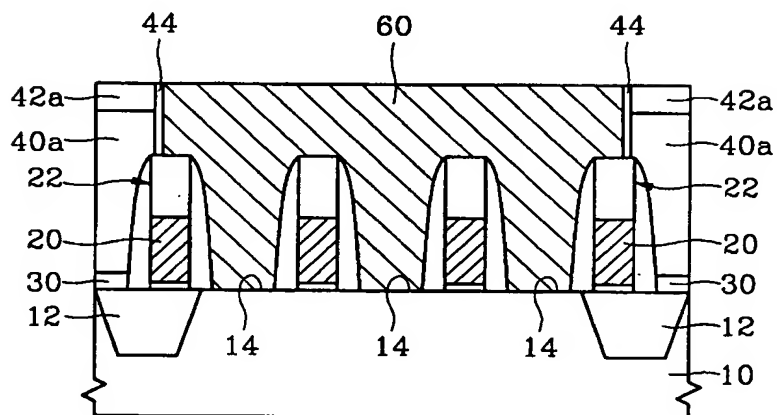
【도 7a】



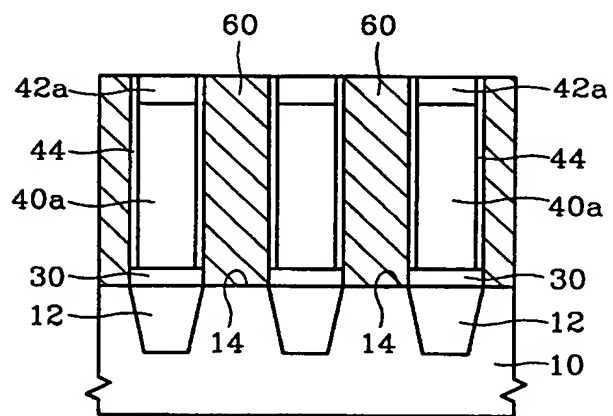
【도 7b】



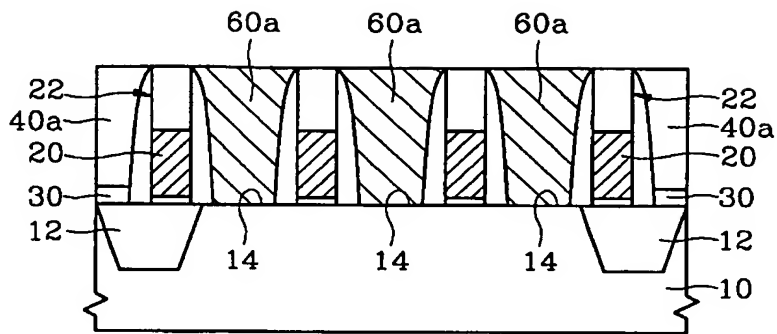
【도 8a】



【도 8b】



【도 9a】



【도 9b】

